

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000196498 A**

(43) Date of publication of application: **14 . 07 . 00**

(51) Int. Cl

**H04B 1/707**  
**H03H 17/02**  
**H04B 7/26**  
**H04L 7/00**  
**H04L 7/08**

(21) Application number: **10313400**

(71) Applicant: **TOSHIBA CORP**

(22) Date of filing: **04 . 11 . 98**

(72) Inventor: **ASANUMA YUTAKA**

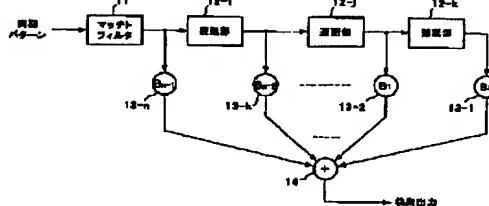
(30) Priority: **28 . 08 . 98 JP 10243947**  
**21 . 10 . 98 JP 10299800**

**(54) DIGITAL COMMUNICATION SYSTEM, ITS  
TRANSMITTER AND RECEIVER AND FRAME  
SYNCHRONIZATION DETECTION CIRCUIT**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To detect synchronization with high precision in spite of a simple configuration.

**SOLUTION:** The transmitter generates a synchronization pattern where a prescribed repetitive pattern consisting of combinations of a prescribed number of symbols and an inverted repetitive pattern consisting of each symbol of the repetitive pattern with inverted polarity that are arranged in a sequence in response to the inverted pattern and transmits transmission data to which the synchronization pattern is added for each a prescribed time. The receiver uses a matched filter 11 corresponding to the repetitive pattern to take correlation between the repetitive pattern and the inverted repetitive pattern in the synchronization pattern and uses a matched filter consisting of delay sections 12 (12-1-12-k), multipliers 13 (13-1-13-n) and an adder 14 to take the correlation between the inverted pattern present in the signal obtained as a result.



COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-196498  
(P2000-196498A)

(43)公開日 平成12年7月14日 (2000.7.14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	マークコード(参考)
H 04 B 1/707		H 04 J 13/00	D 5 K 0 2 2
H 03 H 17/02	6 0 1	H 03 H 17/02	6 0 1 Z 5 K 0 4 7
H 04 B 7/26		H 04 L 7/00	C 5 K 0 6 7
H 04 L 7/00		7/08	A
7/08		H 04 B 7/26	N

審査請求 有 請求項の数13 OL (全 11 頁)

(21)出願番号	特願平10-313400
(22)出願日	平成10年11月4日 (1998.11.4)
(31)優先権主張番号	特願平10-243947
(32)優先日	平成10年8月28日 (1998.8.28)
(33)優先権主張国	日本 (JP)
(31)優先権主張番号	特願平10-299800
(32)優先日	平成10年10月21日 (1998.10.21)
(33)優先権主張国	日本 (JP)

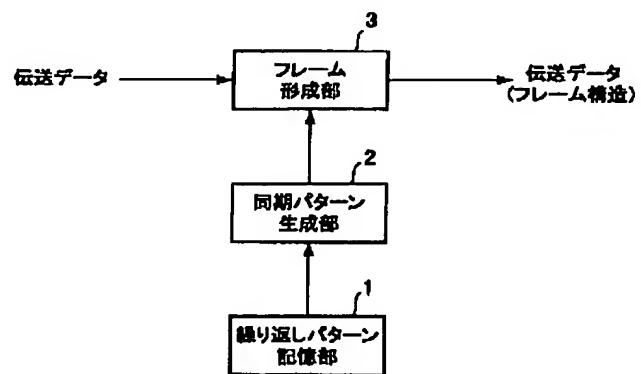
(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(72)発明者	浅沼 裕 東京都日野市旭が丘3丁目1番地の1 株式会社東芝日野工場内
(74)代理人	100058479 弁理士 鈴江 武彦 (外6名) F ターム(参考) 5K022 EE01 EE13 EE25 EE33 EE36 5K047 AA03 AA15 BB01 HH01 HH12 HH43 MM33 5K067 AA42 DD25 EE02 EE71

(54)【発明の名称】 デジタル通信システムとその送信装置および受信装置、ならびにフレーム同期検出回路

(57)【要約】

【課題】 簡易な構成でありながら、精度良く同期検出を行うことを可能とする。

【解決手段】 送信装置では、所定数のシンボルの組合せよりなる所定の繰り返しパターンとこの繰り返しパターンの各シンボルの極性を反転してなる反転繰り返しパターンと、反転パターンに応じた順序で配列してなる同期パターンを生成し、これを所定時間毎に付加した伝送データを送信する。受信装置では、繰り返しパターンに対応したマッチトフィルタ11によって同期パターンにおける繰り返しパターンおよび反転繰り返しパターンの相関をとった上で、その結果得られる信号にあらわれる反転パターンの相関を、遅延部12、乗算器13および加算器14よりなるマッチトフィルタによりとる。



## 【特許請求の範囲】

【請求項1】 所定数のシンボルの組合せよりなる所定の繰り返しパターンとこの繰り返しパターンの各シンボルの極性を反転してなる反転繰り返しパターンとを、それぞれ非反転位置および反転位置を示す所定数の反転有無情報の組合せよりなる所定の反転パターンに応じた順序で配列してなる同期パターンを生成する同期パターン生成手段と、

伝送データを区切るとともに、前記同期パターン生成手段により生成された前記同期パターンを付加することで前記伝送データをフレーム構造化するフレーム化手段とを備えた送信装置と、

前記繰り返しパターンに含まれるシンボルのうちの一部として設定された注目シンボルの数と同数のタップを有し、タップ間の遅延時間が前記注目シンボル間の時間と同じで、かつタップ係数が前記注目シンボルに対応して設定された第1マッチトフィルタと、前記同期パターンに含まれる繰り返しパターンおよび反転繰り返しパターンの数と同数のタップを有し、タップ間の遅延時間が前記同期パターンにおける前記繰り返しパターンおよび前記反転繰り返しパターンの配列周期と同じで、かつタップ係数として互いに極性の異なる2つの所定値のいずれかが前記反転パターンに対応して設定された第2マッチトフィルタとを直列接続してなるフレーム同期検出回路を備えた受信装置とからなるディジタル通信システム。

【請求項2】 所定数のシンボルの組合せよりなる所定の繰り返しパターンとこの繰り返しパターンの各シンボルの極性を反転してなる反転繰り返しパターンとを、それぞれ非反転位置および反転位置を示す所定数の反転有無情報の組合せよりなる所定の反転パターンに応じた順序で配列してなる同期パターンを生成する同期パターン生成手段と、

伝送データを区切るとともに、前記同期パターン生成手段により生成された前記同期パターンを付加することで前記伝送データをフレーム構造化するフレーム化手段とを備えた送信装置と、

前記繰り返しパターンに含まれるシンボル数と同数のタップを有し、タップ間の遅延時間がシンボル周期と同じで、かつタップ係数が前記繰り返しパターンに対応して設定された第1マッチトフィルタと、前記同期パターンに含まれる繰り返しパターンおよび反転繰り返しパターンの数と同数のタップを有し、タップ間の遅延時間が前\*

$$\text{Max} \left\{ \left| \sum_{y=0}^{n-1} B_y \cdot B_{y+i} \right| \mid (i = 1, 2, \dots, n-2) \right\}$$

ただし、 $y+i \geq n$  のとき  $B_{y+i} = 0$

が最小になるような  $B_y$  ( $y = 0, 1, \dots, n-2, n-1$ ) の組合せとすることを特徴とする請求項1乃至請求項4のいずれかに記載のディジタル通信システム。

\* 記同期パターンにおける前記繰り返しパターンおよび前記反転繰り返しパターンの配列周期と同じで、かつタップ係数として互いに極性の異なる2つの所定値のいずれかが前記反転パターンに対応して設定された第2マッチトフィルタとを直列接続してなるフレーム同期検出回路を備えた受信装置とからなるディジタル通信システム。

【請求項3】 所定数のシンボルの組合せよりなる所定の繰り返しパターンとこの繰り返しパターンの各シンボルの極性を反転してなる反転繰り返しパターンとを、それぞれ非反転位置および反転位置を示す所定数の反転有無情報の組合せよりなる所定の反転パターンに応じた順序で配列してなる同期パターンを生成する同期パターン生成手段と、

伝送データを区切るとともに、前記同期パターン生成手段により生成された前記同期パターンを付加することで前記伝送データをフレーム構造化するフレーム化手段とを備えた送信装置と、

前記同期パターンに含まれるシンボルのうちの一部として設定された注目シンボルの数と同数のタップを有し、タップ間の遅延時間が前記注目シンボル間の時間と同じで、かつタップ係数が前記注目シンボルに対応して設定されたマッチトフィルタよりなるフレーム同期検出回路を備えた受信装置とからなるディジタル通信システム。

【請求項4】 所定数のシンボルの組合せよりなる所定の繰り返しパターンとこの繰り返しパターンの各シンボルの極性を反転してなる反転繰り返しパターンとを、それぞれ非反転位置および反転位置を示す所定数の反転有無情報の組合せよりなる所定の反転パターンに応じた順序で配列してなる同期パターンを生成する同期パターン生成手段と、

伝送データを区切るとともに、前記同期パターン生成手段により生成された前記同期パターンを付加することで前記伝送データをフレーム構造化するフレーム化手段とを備えた送信装置と、

前記同期パターンに含まれるシンボル数と同数のタップを有し、タップ間の遅延時間がシンボル周期と同じで、かつタップ係数が前記繰り返しパターンに対応して設定されたマッチトフィルタよりなるフレーム同期検出回路を備えた受信装置とからなるディジタル通信システム。

【請求項5】 前記反転パターンは、含まれる反転有無情報の数を  $n$  とするとき、

【教1】

$$\left( i = 1, 2, \dots, n-2 \right)$$

【請求項6】 前記反転パターンは、 $(-1, 1, 1, 1)$  であることを特徴とする請求項1乃至請求項4のいずれかに記載のディジタル通信システム。

【請求項7】 所定数のシンボルの組合せよりなる所定の繰り返しパターンとこの繰り返しパターンの各シンボルの極性を反転してなる反転繰り返しパターンとを、それぞれ非反転位置および反転位置を示す所定数の反転有無情報の組合せよりなる所定の反転パターンに応じた順序で配列してなる同期パターンを生成する同期パターン生成手段と、

\*

$$\text{Max} \left\{ \left| \sum_{y=0}^{n-1} B_y \cdot B_{y+i} \right| \mid (i = 1, 2, \dots, n-2) \right\}$$

ただし、 $y+i \geq n$  のとき  $B_{y+i} = 0$

が最小になるような  $B_y$  ( $y = 0, 1, \dots, n-2, n-1$ ) の組合せとすることを特徴とする請求項7に記載の送信装置。

【請求項9】 前記反転パターンは、{-1, 1, 1, 1}であることを特徴とする請求項7に記載の送信装置。

【請求項10】 所定数のシンボルの組合せよりなる所定の繰り返しパターンとこの繰り返しパターンの各シンボルの極性を反転してなる反転繰り返しパターンとを、それぞれ非反転位置および反転位置を示す所定数の反転有無情報の組合せよりなる所定の反転パターンに応じた順序で配列してなる同期パターンを付加してフレーム構造化された伝送データを受信する受信装置において、

前記繰り返しパターンに含まれるシンボルのうちの一部として設定された注目シンボルの数と同数のタップを有し、タップ間の遅延時間が前記注目シンボル間の時間と同じで、かつタップ係数が前記注目シンボルに対応して設定された第1マッチトフィルタと、前記同期パターンに含まれる繰り返しパターンおよび反転繰り返しパターンの数と同数のタップを有し、タップ間の遅延時間が前記同期パターンにおける前記繰り返しパターンおよび前記反転繰り返しパターンの配列周期と同じで、かつタップ係数として互いに極性の異なる2つの所定値のいずれかが前記反転パターンに対応して設定された第2マッチトフィルタとを直列接続してなるフレーム同期検出回路を備えたことを特徴とする受信装置。

【請求項11】 所定数のシンボルの組合せよりなる所定の繰り返しパターンとこの繰り返しパターンの各シンボルの極性を反転してなる反転繰り返しパターンとを、それぞれ非反転位置および反転位置を示す所定数の反転有無情報の組合せよりなる所定の反転パターンに応じた順序で配列してなる同期パターンを付加してフレーム構造化された伝送データを受信する受信装置において、

前記繰り返しパターンに含まれるシンボル数と同数のタップを有し、タップ間の遅延時間がシンボル周期と同じで、かつタップ係数が前記繰り返しパターンに対応して

\* 伝送データを区切るとともに、前記同期パターン生成手段により生成された前記同期パターンを付加することで前記伝送データをフレーム構造化するフレーム化手段とを備えた送信装置。

【請求項8】 前記反転パターンは、含まれる反転有無情報の数をnとするとき、

【数2】

$$(i = 1, 2, \dots, n-2)$$

設定された第1マッチトフィルタと、前記同期パターンに含まれる繰り返しパターンおよび反転繰り返しパターンの数と同数のタップを有し、タップ間の遅延時間が前記同期パターンにおける前記繰り返しパターンおよび前記反転繰り返しパターンの配列周期と同じで、かつタップ係数として互いに極性の異なる2つの所定値のいずれかが前記反転パターンに対応して設定された第2マッチトフィルタとを直列接続してなるフレーム同期検出回路を備えたことを特徴とする受信装置。

【請求項12】 所定数のシンボルの組合せよりなる所定の繰り返しパターンとこの繰り返しパターンの各シンボルの極性を反転してなる反転繰り返しパターンとを、それぞれ非反転位置および反転位置を示す所定数の反転有無情報の組合せよりなる所定の反転パターンに応じた順序で配列してなる同期パターンを付加してフレーム構造化された伝送データにおけるフレームタイミングを検出するフレーム同期検出回路において、

20 前記繰り返しパターンに含まれるシンボルのうちの一部として設定された注目シンボルの数と同数のタップを有し、タップ間の遅延時間が前記注目シンボル間の時間と同じで、かつタップ係数が前記注目シンボルに対応して設定された第1マッチトフィルタと、前記同期パターンに含まれる繰り返しパターンおよび反転繰り返しパターンの数と同数のタップを有し、タップ間の遅延時間が前記同期パターンにおける前記繰り返しパターンおよび前記反転繰り返しパターンの配列周期と同じで、かつタップ係数として互いに極性の異なる2つの所定値のいずれかが前記反転パターンに対応して設定された第2マッチトフィルタとを直列接続してなるフレーム同期検出回路を備えたことを特徴とする受信装置。

30 前記繰り返しパターンに含まれるシンボルのうちの一部として設定された注目シンボルの数と同数のタップを有し、タップ間の遅延時間が前記注目シンボル間の時間と同じで、かつタップ係数が前記注目シンボルに対応して設定された第1マッチトフィルタと、前記同期パターンに含まれる繰り返しパターンおよび反転繰り返しパターンの数と同数のタップを有し、タップ間の遅延時間が前記同期パターンにおける前記繰り返しパターンおよび前記反転繰り返しパターンの配列周期と同じで、かつタップ係数として互いに極性の異なる2つの所定値のいずれかが前記反転パターンに対応して設定された第2マッチトフィルタとを直列接続してなることを特徴とするフレーム同期検出回路。

40 【請求項13】 所定数のシンボルの組合せよりなる所定の繰り返しパターンとこの繰り返しパターンの各シンボルの極性を反転してなる反転繰り返しパターンとを、それぞれ非反転位置および反転位置を示す所定数の反転有無情報の組合せよりなる所定の反転パターンに応じた順序で配列してなる同期パターンを付加してフレーム構造化された伝送データにおけるフレームタイミングを検出するフレーム同期検出回路において、

前記繰り返しパターンに含まれるシンボル数と同数のタップを有し、タップ間の遅延時間がシンボル周期と同じで、かつタップ係数が前記繰り返しパターンに対応して設定された第1マッチトフィルタと、前記同期パターンに含まれる繰り返しパターンおよび反転繰り返しパターンの数と同数のタップを有し、タップ間の遅延時間が前記同期パターンにおける前記繰り返しパターンおよび前記反転繰り返しパターンの配列周期と同じで、かつタップ係数として互いに極性の異なる2つの所定値のいずれかが前記反転パターンに対応して設定された第2マッチトフィルタとを直列接続してなることを特徴とするフレーム同期検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CDMA (Code Division Multiple Access) 方式を用いた移動通信システムなどのような、フレーム構造の伝送データを伝送するデジタル通信システムとその送信装置および受信装置、ならびにフレーム同期検出回路に関する。

【0002】

【従来の技術】デジタル通信では、誤り検出・訂正符号の使用、制御信号の時間多重等のために、ある時間毎に1ブロックを作るフレーム構造を使用することが多い。

【0003】そしてこの場合、送信受信間でフレーム同期をとる必要が生じる。このフレーム同期のためには従来より、送信側にて図9に示すように各フレームの先頭に既知の同期パターンを挿入しておき、受信側でこの同期パターンを検出することが行われている。

【0004】受信側での同期パターンの検出は、受信データと、受信側に用意されている同期パターンとの相関をとることにより実現できる。そしてこのような処理は、マッチトフィルタを用いて行われている。

【0005】マッチトフィルタは、一般に図10に示すようなトランスパースフィルタの構成をとり、同期パターンを構成するシンボル数（図9の例ではh）と同数のタップを有する。各タップの間にはg ( $g = h - 1$ ) 個の遅延部20 (20-1~20-g) がそれぞれ配置されており、それらの遅延時間はチップ周期と同じである。また各タップにはそれぞれ乗算器21 (21-1~21-h) が接続されており、同期パターンの各シンボルP ( $P_0 \sim P_{h-1}$ ) に対応した係数がそれぞれ乗算される。そして、各乗算器21の出力が加算器22で加算されて、検出出力が得られる。

【0006】このようなマッチトフィルタにより得られる検出出力は例えば図11に示すような波形となる。

【0007】ここで、検出出力のレベルが著しく高くなっているのが、同期パターンの全てのシンボルが各タップに現れているときであり、同期パターンを検出できたタイミングとなる。従って、同期パターンの到来タイミ

ング、すなわちフレームタイミングが検出されることになる。

【0008】さて、このような方式によるフレームタイミングの検出精度を高めるためには、同期パターンのシンボル数を増大させればよい。

【0009】しかし、シンボル数を増大させると、相関をとるために必要なマッチトフィルタのタップ数が増大してしまい、マッチトフィルタの回路規模や消費電流が増大してしまう。

10 【0010】そこで、タップ数を増やすずに同期パターンのシンボル数を増大させるための次のような方式が提案されている。

【0011】この方法では図12に示すように、同期パターンとして必要なシンボル数より少ないシンボル数 ( $m$ シンボル) のシンボル ( $a_0 \sim a_{m-1}$ ) よりなる繰り返しパターンAを整数回 ( $n$ 回) 繰り返すことにより、必要な長さ ( $m \times n$ シンボル) の同期パターンを作る。

20 【0012】そしてこのようにして作成された同期パターンに基づく同期検出に当たっては、図13に示すような同期検出回路を用いる。

【0013】すなわち、まず繰り返しパターンAに対応したマッチトフィルタ11を使用し、ここの繰り返しパターンAの検出を行う。従って、例えば  $m=4$  とするならば、マッチトフィルタ11の出力は図14に示すような波形となる。すなわち、繰り返しパターンAの繰り返し周期  $T_r$  の間隔で4つのピークが生じる波形となる。

【0014】そこで、このマッチトフィルタ11の出力信号を直列接続された  $k$  ( $k = n - 1$ ) 個の遅延部12

30 (12-1~12-k) により繰り返しパターンAの繰り返し周期  $T_r$  ずつ遅延しつつ、マッチトフィルタ11の出力と遅延部12のそれぞれの出力を加算器14により加算する。

【0015】そうすると、例えば図14に示すような波形の4つのピークが全て加算器14に入力されるタイミングで、加算器14の出力、すなわち検出出力のレベルがピークとなり、同期検出が行える。

【0016】このとき、マッチトフィルタ11に必要なタップ数は繰り返しパターンAのシンボル数と同数の  $m$

40 個で、遅延部12および加算器14により形成されるマッチトフィルタに必要なタップ数は  $n$  個であるので、  $m \times n$  シンボルの同期パターンの検出を  $m + n$  個のタップ数で実現できることになる。

【0017】しかしながらこの方法によると、繰り返しパターンAとして異なった位置における相関が小さいパターンを用いていても、繰り返しパターンAの繰り返しにより、時間軸がずれた位置に大きな相関が発生するため、検出出力は図15に示すように複数のピーク  $P_{11} \sim P_{17}$  が生じた波形となってしまう。

50 【0018】これらのピークの中で、レベルが最大であ

るピークP11のタイミングが同期パターンの検出タイミングとなるが、他のピークとのレベル差が小さいため、検出精度があまりよくならないという不具合があった。

【発明が解決しようとする課題】以上のように従来は、同期パターンのシンボル数と同数のタップを備えたマッチトフィルタにより同期検出を行っていたため、マッチトフィルタの規模および消費電力が、ひいては受信装置の規模および消費電力が増大してしまうという不具合があった。

【0019】そこで、同期パターンを繰り返しパターンの整数回の繰り返しにより構成し、各繰り返しパターンの相関をとった上で、その結果における相関をさらに取ることによってタップ数の減少を図るようにすると、繰り返しパターンの繰り返しにより、時間軸がずれた位置に大きな相間が発生するため、検出精度があまりよくならないという不具合があった。

【0020】本発明はこのような事情を考慮してなされたものであり、その目的とするところは、簡易な構成でありますながら、精度良く同期検出を行うことを可能とするデジタル通信システムとその送信装置および受信装置、ならびにフレーム同期検出回路を提供することにある。

#### 【0021】

【課題を解決するための手段】以上の目的を達成するために本発明は、デジタル通信システムにおける送信装置に、所定数のシンボルの組合わせよりなる所定の繰り返しパターンとこの繰り返しパターンの各シンボルの極性を反転してなる反転繰り返しパターンとを、それぞれ非反転位置および反転位置を示す所定数の反転有無情報の組合せよりなる所定の反転パターンに応じた順序で配列してなる同期パターンを生成する、例えば繰り返しパターン記憶部および同期パターン生成部からなる同期パターン生成手段と、伝送データを区切るとともに、前記同期パターン生成手段により生成された前記同期パターンを付加することで前記伝送データをフレーム構造化する例えばフレーム形成部などのフレーム化手段とを備えた。

\*

$$\text{Max} \left\{ \left| \sum_{y=0}^{n-1} B_y \cdot B_{y+i} \right| \mid (i = 1, 2 \dots, n-2) \right\}$$

ただし、 $y+i \geq n$  のとき  $B_{y+i} = 0$

【0027】が最小になるような  $B_y$  ( $y = 0, 1, \dots, n-2, n-1$ ) の組合せ、すなわち例えば  $(-1, 1, 1, 1, 1)$  なるパターンとするようにした。

【0028】このような手段を講じたことにより、反転パターンの全てが第2マッチトフィルタに揃っていないときにおける第2マッチトフィルタの出力レベルが最小に抑えられる。

\* 【0022】また受信装置に、前記繰り返しパターンに含まれるシンボル数と同数のタップを有し、前記繰り返しパターンに含まれるシンボルのうちの少なくとも一部として設定された注目シンボルの数と同数のタップを有し、タップ間の遅延時間が前記注目シンボル間の時間と同じで、かつタップ係数が前記注目シンボルに対応して設定された第1マッチトフィルタと、前記同期パターンに含まれる繰り返しパターンおよび反転繰り返しパターンの数と同数のタップを有し、タップ間の遅延時間が前記同期パターンにおける前記繰り返しパターンおよび前記反転繰り返しパターンの配列周期と同じで、かつタップ係数として互いに極性の異なる2つの所定値のいずれかが前記反転パターンに対応して設定された第2マッチトフィルタとを直列接続してなるフレーム同期検出回路を備えた。

【0023】このような手段を講じたことにより、伝送データのフレーム位置は、所定数のシンボルの組合せよりなる所定の繰り返しパターンとこの繰り返しパターンの各シンボルの極性を反転してなる反転繰り返しパターンとを、所定の反転パターンに応じた順序で配列してなる同期パターンにより示される。

【0024】受信装置では、この同期パターンを検出することでフレーム同期をとるが、繰り返しパターンのうちの注目シンボルに応じた第1マッチトフィルタで繰り返しパターンおよび反転繰り返しパターンのうちの注目シンボルの相関をとる処理と、反転パターンに応じた第2マッチトフィルタで反転パターンの相関をとる処理とを相前後して直列的に行うことによって、同期パターンの検出が行われる。

【0025】反転パターンは、互いに極性が異なる2種類の反転有無情報の組合せによりなるから、この反転パターンの全てが第2マッチトフィルタに揃っていないときには反転有無情報どうしの打ち消しが生じ、第2マッチトフィルタの出力レベルが小さくなる。

【0026】また本発明は、反転パターンを、含まれる反転有無情報の数を  $n$  とするとき、

#### 【数3】

$$(i = 1, 2 \dots, n-2)$$

【0029】また本発明の送信装置により送信された同期パターンは、前記同期パターンに含まれるシンボルのうちの一部として設定された注目シンボルの数と同数のタップを有し、タップ間の遅延時間が前記注目シンボル間の時間と同じで、かつタップ係数が前記注目シンボルに対応して設定されたマッチトフィルタよりなるフレーム同期検出回路や、前記同期パターンに含まれるシンボ

ル数と同数のタップを有し、タップ間の遅延時間がシンボル周期と同じで、かつタップ係数が前記繰り返しパターンに対応して設定されたマッチトフィルタよりなるフレーム同期検出回路によって検出する。

【0030】従って、従来よりあるフレーム同期検出回路でも、同期パターンの検出が行える。

【0031】

【発明の実施の形態】以下、図面を参照して本発明の一実施形態につき説明する。

【0032】図1は本実施形態に係るデジタル通信システムにおける送信装置の要部構成を示すブロック図である。なおこの送信装置の適用先としては、wideband CDMA方式の移動通信システムにおける基地局が挙げられる。

【0033】この図に示すように本実施形態の送信装置は、繰り返しパターン記憶部1、同期パターン生成部2およびフレーム形成部3を有している。

【0034】繰り返しパターン記憶部1は例えばROMからなり、図2に示すように、それぞれ「1」または「-1」を示すm個のシンボル  $a_i$  ( $a_0 \sim a_{m-1}$ ) からなる繰り返しパターンと、この繰り返しパターンに対して各シンボルの極性を反転(IQ平面上で $\pi$ 回転)させた反転繰り返しパターンとを記憶している。なお繰り返しパターンとしては、自己相關の低い、例えば直交ゴールド符号などの符号列を用いる。

【0035】同期パターン生成部2は、繰り返しパターン記憶部1に記憶されている繰り返しパターンおよび反転繰り返しパターンを、図3に示すような形態で予め決められた反転パターンに従って配列し、繰り返しパターンおよび反転繰り返しパターンの組合せによりなる同期パターンを生成する。

【0036】図3において、n個のB ( $B_0 \sim B_{n-1}$ ) は、それぞれ繰り返しパターンおよび反転繰り返しパターンのいずれを配置するかを示し、繰り返しパターンの配置位置は「1」とされ、反転繰り返しパターンの配置位置は「-1」とされる。すなわちこの反転パターンは、n個の繰り返しパターンおよび反転繰り返しパターンの組合せによりなる同期パターンの構成を示している。

【0037】フレーム形成部3は、送信するために与えられる伝送データを所定時間毎に区切るとともに、同期パターン生成部2から与えられる同期パターンを付加することで、伝送データをフレーム構造化する。

【0038】かくしてこの送信装置では同期パターン生成部2において、繰り返しパターンAをn個繰り返し並べた上で、各繰り返しパターンに反転パターンを乗算してなる図4に示すような同期パターンが生成される。

【0039】具体的には、nを「4」とし、かつ反転パターン  $\{B_0, B_1, B_2, B_3\}$  を  $\{-1, 1, 1, 1\}$  とするならば、図5に示すように、1つの反転繰り

返しパターン/Aに統いて、3つの繰り返しパターンAが連続する同期パターンが生成される。

【0040】さらに具体的には、同期パターンのシンボル数を「256」、繰り返しパターンAのシンボル数mを「64」、繰り返し回数nを「4」とする。

【0041】この場合、繰り返しパターンAは、 $A = \{a_0, a_1, \dots, a_{63}\}$  と記述できる。そして反転パターンを前述のように  $\{-1, 1, 1, 1\}$  とすると、同期パターンは、

10  $\{B_0 \times a_0, B_0 \times a_1, \dots, B_0 \times a_{63}, B_1 \times a_0, B_1 \times a_1, \dots, B_1 \times a_{63}, B_2 \times a_0, B_2 \times a_1, \dots, B_2 \times a_{63}, B_3 \times a_0, B_3 \times a_1, \dots, B_3 \times a_{63}\}$

となる。

【0042】そしてこのような同期パターンが付加されてフレーム構造化された伝送データが送信される。

【0043】一方、本実施形態のデジタル通信システムにおける受信装置には、図6に示す構成のフレーム同期検出回路が設けられている。なお図6において、図1 20 3と同一部分には同一符号を付している。

【0044】この受信装置の適用先としては、wideband CDMA方式の移動通信システムにおける移動局が挙げられる。

【0045】このフレーム同期検出回路は、マッチトフィルタ11、k ( $k = n - 1$ ) 個の遅延部12 (12-1~12-k)、n個の乗算器13 (13-1~13-n) および加算器14を有する。

【0046】マッチトフィルタ11は、繰り返しパターンAに対応するものである。すなわちマッチトフィルタ11は、繰り返しパターンAにおけるシンボル数と同じm個のタップを備え、タップ間の遅延時間はシンボル周期と同じである。かつ、タップ係数として「1」および「-1」のいずれかが繰り返しパターンAに対応して設定されている。

【0047】遅延部12は、遅延部12-1、12-2~12-j、12-kの順で直列に接続されており、遅延部12-1にマッチトフィルタ11の出力が与えられている。従って遅延部12は、マッチトフィルタ11からの出力を順次遅延させて行く。なお、各遅延部12の遅延時間は、繰り返しパターンAおよび反転繰り返しパターン/Aの繰り返し周期T\_rに設定されている。

【0048】乗算器13は、13-k~13-2、13-1の順で、遅延部12-1~12-kのそれぞれの出力に接続されている。また乗算器13-nは、マッチトフィルタ11の出力に接続されている。そしてこれらの乗算器13-1~13-nには、反転パターンにおける  $B_0 \sim B_{n-1}$  がそれぞれタップ係数として設定されており、このタップ係数を入力に對して乗算する。

【0049】加算器14は、乗算器13-1~13-nのそれぞれの出力の総和を算出し、その算出した総和に応じたレ

ベルの検出出力を出力する。

【0050】かくして、遅延部12、乗算器13および加算器14により、反転パターンに対応したマッチトフィルタが構成されている。

【0051】さて、このフレーム同期検出回路に、前述のようにして送信装置で生成された同期パターンが入力されると、マッチトフィルタ11では、繰り返しパターンまたは反転繰り返しパターンが揃う毎にピークがその出力に発生する。この結果、同期パターンの1回の入力に対して、マッチトフィルタ11の出力には、繰り返し回数nと同回数のピークが発生する。

【0052】ただし、マッチトフィルタ11に繰り返しパターンが揃ったときのピークと、反転繰り返しパターンが揃ったときのピークとは、互いに極性が逆となる。

【0053】従って、マッチトフィルタ11の出力は反転パターンに対応してピークが生じる波形となる。例えば、繰り返し回数nを「4」とし、反転パターンを{-1, 1, 1, 1}としたならば、図7に示すような波形となる。

【0054】このマッチトフィルタ11から出力される信号、すなわち反転パターンに対応してピークが生じる信号は、遅延部12、乗算器13および加算器14により構成されたマッチトフィルタにより、反転パターンとの相関が取られる。

【0055】かくして、マッチトフィルタ11の出力におけるn個のピークが遅延部12、乗算器13および加算器14により構成されたマッチトフィルタの各タップに揃った時点で、検出出力にピークが発生する。

【0056】検出出力にはこのほかに、時間軸がずれた位置にもピークが生じる。しかしこのピークは、マッチトフィルタ11から出力される信号におけるn個のピークのうちの一部が加算器14に入力される段階において逆極性となっているので、これらが互いに打ち消し合い、レベルが小さくなる。

【0057】この結果、繰り返し回数nを「4」とし、反転パターンを{-1, 1, 1, 1}としたならば、検出出力は図8に示すような波形となる。そしてこのとき、真のフレーム同期タイミングを示す、絶対値が最大\*

$$\text{Max} \left\{ \left| \sum_{y=0}^{n-1} B_y - B_{y+i} \right| \mid (i = 1, 2, \dots, n-2) \right\}$$

ただし、 $y+i \geq n$  のとき  $B_{y+i} = 0$

【0065】が最小になるような $B_y$  ( $y = 0, 1, \dots, n-2, n-1$ ) の組合せを選択することにより選択することができる。

【0066】そしてその作業は、2<sup>n</sup>回の試行によって容易に行うことができる。

【0067】なお、本発明は上記実施形態に限定されるものではない。例えば、送信装置における同期パターン

\* であるピークP1の絶対値に対して、2番目に絶対値が大きいレベルのピークP2, P3, P4, P5の絶対値は1/4となる。

【0058】このように、検出すべき真のピークの絶対値と、他のピークの絶対値とのレベル差が大きくなるから、真のピーク検出、すなわちフレーム同期タイミングの検出の精度が向上する。

【0059】しかも、本実施形態におけるフレーム同期検出回路が有するタップ数はm+n個であり、同期パターンのシンボル数m×nよりも少なくて済む。前述のように繰り返しパターンAのシンボル数mを「64」、繰り返し回数nを「4」とする場合は、同期パターンのシンボル数が「256」であるのに対し、タップ数は「68」で済み、同期パターンの全体に対応したマッチトフィルタを用いる場合に比べて、回路規模と消費電流の低減が図れる。

【0060】ところで、上記の例では絶対値が最大であるピークの絶対値に対して、2番目に絶対値が大きいレベルのピークの絶対値は1/4となっているが、これは反転パターンの設定によって変化する。

【0061】例えば、反転パターンを{1, -1, -1, 1}としたならば、絶対値が最大であるピークの絶対値に対して、2番目に絶対値が大きいレベルのピークの絶対値は2/4となってしまい、レベル差が低下してしまう。

【0062】そこで、2番目に絶対値が大きいレベルのピークの絶対値ができるだけ小さくなるような適切な反転パターンを選択することが望ましい。

【0063】繰り返し回数nを4とする場合における適切な反転パターンの例は、{-1, 1, 1, 1}や{1, -1, 1, 1}である。また、これらの適切な反転パターンを{B<sub>a</sub>, B<sub>b</sub>, B<sub>c</sub>, B<sub>d</sub>}と表す場合、その反転である{-B<sub>a</sub>, -B<sub>b</sub>, -B<sub>c</sub>, -B<sub>d</sub>}や、前後の入れ替えである{B<sub>d</sub>, B<sub>c</sub>, B<sub>b</sub>, B<sub>a</sub>}も適切な反転パターンとなる。

【0064】このような適切な反転パターンは、  
【数4】

$$(i = 1, 2, \dots, n-2)$$

の生成はロジック回路によって行うようにしても良い。

【0068】また上記実施形態では、繰り返しパターンと反転繰り返しパターンとの両方を繰り返しパターン記憶部1に格納しておくものとしているが、繰り返しパターンのみを繰り返しパターン記憶部1に格納しておき、その極性を反転させることで反転繰り返しパターンを作成するようにしても良い。

【0069】また上記実施形態では、同期パターンの各シンボルを2値としているが、多値や複素値である場合にも本発明を適用可能である。

【0070】本実施形態のフレーム同期検出回路が行う処理は線形の変換であるから、マッチトフィルタ11と、遅延部12、乗算器13および加算器14よりなるマッチトフィルタとの順序を入れ替えることは自由にできる。

【0071】また上記実施形態では、同期パターンをフレームの先頭に配置することとしているが、システムで予め定めた先頭以外の任意の位置に配置しても、上記の効果が得られることは明らかである。

【0072】また上記実施形態では、マッチトフィルタ11は、繰り返しパターンの全体に応じたものとしているが、繰り返しパターンのうちの一部のシンボルのみを注目シンボルとし、マッチトフィルタ11をこの注目シンボルのみに応じたものとすることもできる。

【0073】また上記実施形態の送信装置が送信した同期パターンは、図10に示したような1つのマッチトフィルタよりなる一般的なフレーム同期検出回路によっても検出することが可能である。そしてこの場合でも、図10に示したマッチトフィルタを同期パターンの全体に応じたものとしても、あるいは同期パターンの一部のシンボルのみを注目シンボルとし、図10に示したマッチトフィルタをこの注目シンボルのみに応じたものとしても実現可能である。

【0074】このほか、本発明の要旨を逸脱しない範囲で種々の変形実施が可能である。

【0075】

【発明の効果】本発明によれば、ディジタル通信システムにおける送信装置に、所定数のシンボルの組合せによりなる所定の繰り返しパターンとこの繰り返しパターンの各シンボルの極性を反転してなる反転繰り返しパターンとを、それぞれ非反転位置および反転位置を示す所定数の反転有無情報の組合せによりなる所定の反転パターンに応じた順序で配列してなる同期パターンを生成する同期パターン生成手段と、伝送データを区切るととも\*

$$\text{Max} \left\{ \left| \sum_{y=0}^{n-1} B_y \cdot B_{y+i} \right| \right\}$$

ただし、 $y+i \geq n$  のとき  $B_{y+i} = 0$

【0080】が最小になるような  $B_y$  ( $y = 0, 1, \dots, n-2, n-1$ ) の組合せ、すなわち例えば  $\{-1, 1, 1, 1\}$  なるパターンとするようにしたので、同期パターンが検出できたときにおけるフレーム同期検出回路の出力の真のピーク以外のピークのレベルを確実に最小に抑えることができ、より精度良く同期検出を行うことが可能となる。

【0081】しかも本発明の送信装置により送信された

\* に、前記同期パターン生成手段により生成された前記同期パターンを付加することで前記伝送データをフレーム構造化するフレーム化手段とを備えた。

【0076】また受信装置に、前記繰り返しパターンに含まれるシンボルのうちの少なくとも一部として設定された注目シンボルの数と同数のタップを有し、タップ間の遅延時間が前記注目シンボル間の時間と同じで、かつタップ係数が前記注目シンボルに対応して設定された第1マッチトフィルタと、前記同期パターンに含まれる繰り返しパターンおよび反転繰り返しパターンの数と同数のタップを有し、タップ間の遅延時間が前記同期パターンにおける前記繰り返しパターンおよび前記反転繰り返しパターンの配列周期と同じで、かつタップ係数として互いに極性の異なる2つの所定値のいずれかが前記反転パターンに対応して設定された第2マッチトフィルタとを直列接続してなるフレーム同期検出回路を備えた。

【0077】これらにより、同期パターンのシンボル数が、繰り返しパターンにおけるシンボル数と反転パターンにおける反転有無情報の数との積に相当する数であるにも拘わらず、その同期パターンの検出を、繰り返しパターン中の注目シンボル数と反転パターンにおける反転有無情報の数との和に相当する数のタップのみを備えたフレーム同期検出回路により行うことができ、簡易な構成により実現可能となる。

【0078】そして、同期パターンを繰り返しパターンと反転繰り返しパターンとの組合せにより構成していることにより、その組合せを示した反転パターンの全てが第2マッチトフィルタに揃っていないときには反転有無情報の成分どうしの打ち消しが生じ、第2マッチトフィルタの出力レベルが小さくなるから、同期パターンが検出できたときにおけるフレーム同期検出回路の出力の真のピークと、それ以外のピークとのレベル差が大きくなることから、精度良く同期検出を行うことが可能となる。

【0079】また本発明は、反転パターンを、含まれる反転有無情報の数を  $n$  とするとき、

【数5】

$$\{ i = 1, 2, \dots, n-2 \}$$

同期パターンは、前記同期パターンに含まれるシンボルのうちの一部として設定された注目シンボルの数と同数のタップを有し、タップ間の遅延時間が前記注目シンボル間の時間と同じで、かつタップ係数が前記注目シンボルに対応して設定されたマッチトフィルタよりなるフレーム同期検出回路や、前記同期パターンに含まれるシンボル数と同数のタップを有し、タップ間の遅延時間がシンボル周期と同じで、かつタップ係数が前記繰り返しパ

ターンに対応して設定されたマッチトフィルタよりなるフレーム同期検出回路によっても検出が可能である。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るディジタル通信システムにおける送信装置の要部構成を示すブロック図。

【図2】本発明の一実施形態で用いる繰り返しパターンの構成を示す図。

【図3】本発明の一実施形態で用いる反転パターンの構成を示す図。

【図4】本発明の一実施形態で用いる同期パターンの構造を示す図。

【図5】本発明の一実施形態で用いる同期パターンの具体例を示す図。

【図6】本発明の一実施形態に係るディジタル通信システムにおける受信装置に設けられるフレーム同期検出回路の構成を示す図。

【図7】図6中のマッチトフィルタ11の出力の波形の一例を示す図。

【図8】図6に示すフレーム同期検出回路での検出出力の波形の一例を示す図。

【図9】デジタル通信システムでの伝送データのフレ\*

\*ーム構成の従来例を示す図。

【図10】フレーム同期検出のためのマッチトフィルタの一般的な構成を示す図。

【図11】図10に示すマッチトフィルタの検出出力の波形の一例を示す図。

【図12】繰り返しパターンを整数回繰り返すことによりなる同期パターンの構成を示す図。

【図13】図12に示す同期パターンに基づく同期検出を行う同期検出回路の構成を示すブロック図。

10 【図14】図13中のマッチトフィルタ11の出力波形の一例を示す図。

【図15】図13に示す同期検出回路の検出出力の波形の一例を示す図。

【符号の説明】

1…繰り返しパターン記憶部

2…同期パターン生成部

3…フレーム形成部

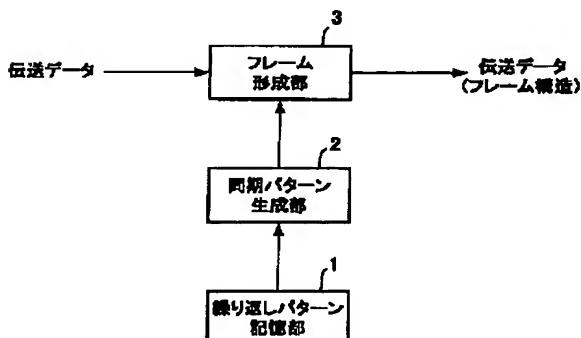
11…マッチトフィルタ

12 (12-1~12-k) …遅延部

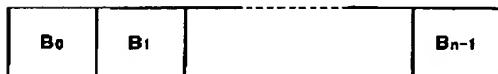
20 13 (13-1~13-n) …乗算器

14…加算器

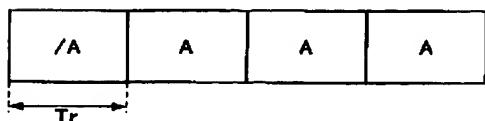
【図1】



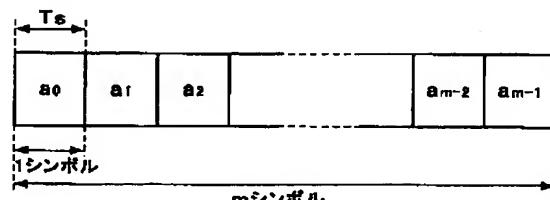
【図3】



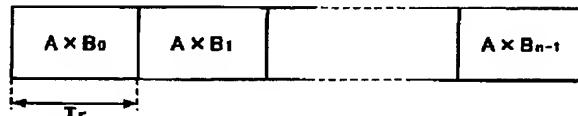
【図5】



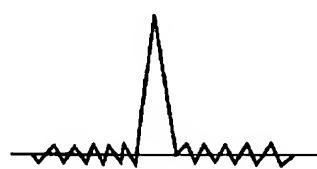
【図2】



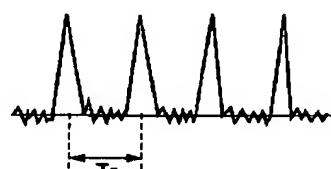
【図4】



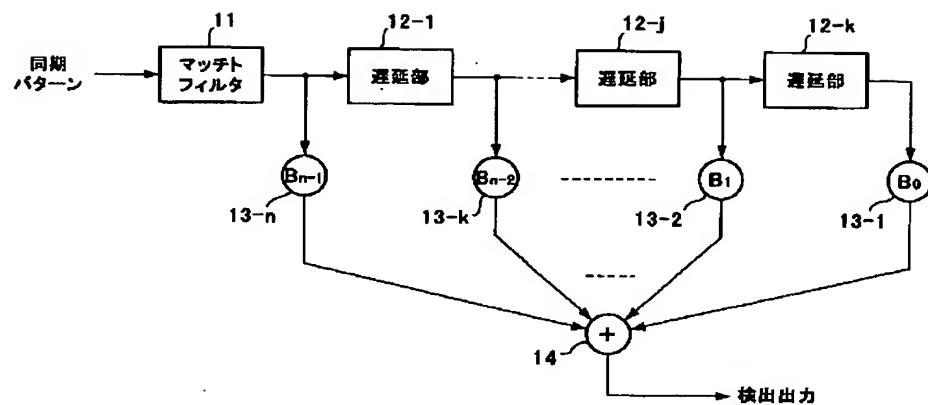
【図11】



【図14】



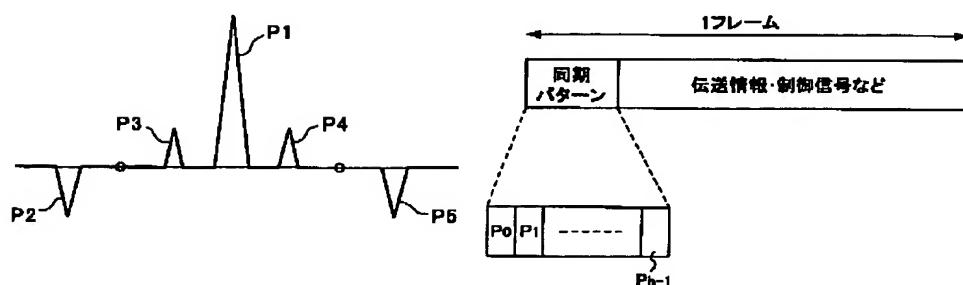
【図6】



【図7】

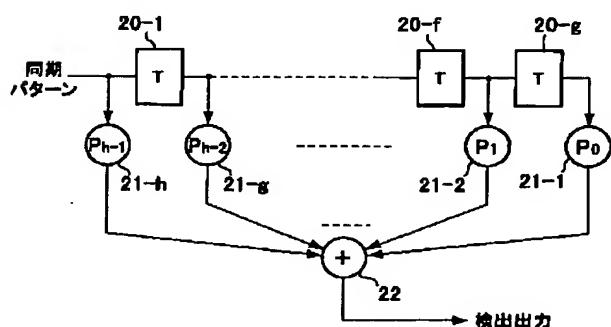


【図8】

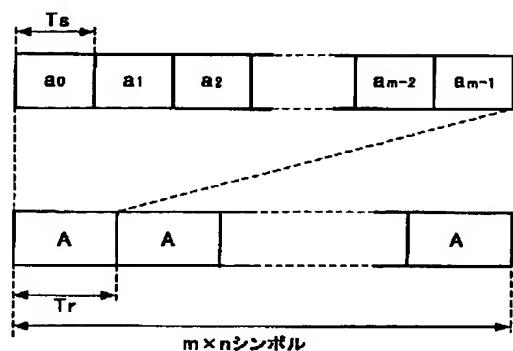


【図9】

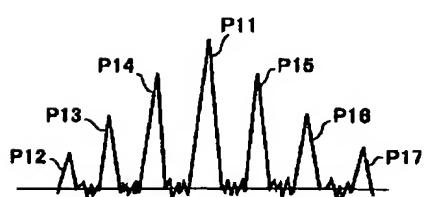
【図10】



【図12】



【図15】



【図13】

